

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-187948

(43)Date of publication of application : 27.07.1989

(51)Int.Cl.

H01L 21/92
H01L 21/60

(21)Application number : 63-013018

(71)Applicant : NEC CORP

(22)Date of filing : 22.01.1988

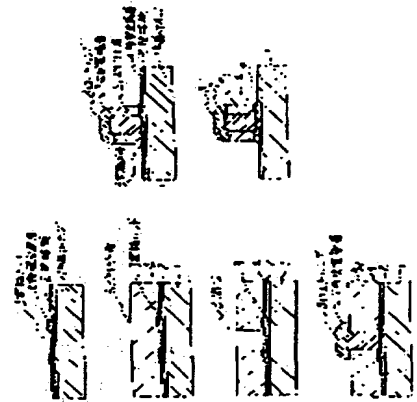
(72)Inventor : MORIYAMA YOSHIFUMI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the height of the uppermost section of a soldering bump while forming a bump structure, in which deviation of the height is reduced, and to obtain a semiconductor device having a longer connection lifetime by forming a columnar electrode layer coated with a high-temperature resin between the soldering bump and an electrode pad for a semiconductor chip.

CONSTITUTION: An electrode pad 3 formed onto one main surface of a semiconductor chip 1, a barrier metallic layer 4 shaped onto the electrode pad 3, a columnar electrode layer 7 formed onto the barrier metallic layer 4, a high-temperature resin coating layer 5b coating the side face of the columnar electrode layer 7, and a soldering bump 8 shaped onto the columnar electrode layer 7 are contained. The barrier metallic layer 4 is formed onto the whole surface of the semiconductor chip 1 on which the electrode pad 3 is shaped, a polyimide layer 5a is formed, an opening 6 is shaped to the polyimide layer 5a, and the columnar electrode layer 7 is formed, burying the opening 6. The soldering bump 8 is shaped, the polyimide layer 5a in regions except the soldering bump 8 is removed, and the barrier metallic layer 4 in sections except a region positioned under the soldering bump 8 is gotten rid of.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-187948

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月27日

H 01 L 21/92
21/60

C-6708-5F
Q-6918-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-13018

⑰ 出 願 昭63(1988)1月22日

⑱ 発 明 者 森 山 好 文 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

半導体チップの一面に形成された電極パッドと、前記電極パッド上に設けられた障壁金属層と、前記障壁金属層の上に設けられた柱状電極層と、前記柱状電極層の側面を被覆する耐熱性樹脂被覆層と、前記柱状電極層の上に設けられたはんだパンプとを含むことを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特にフリップチップ方式の組立に使用する半導体装置に関する。

(従来の技術)

フリップチップ方式の組立は、半導体チップ全面に電極を配置することができ、また電極を下側にして回路基板等に一度に接着できるという利点があるのでゲートアレイのような多数の電極を必要とする製品に適用されてきた。

第3図は従来の半導体チップの第1の例の断面図である。

まず、絶縁領域が形成されている半導体チップ1の表面に熱酸化法により、絶縁膜2を形成する。

次に、ホトリソグラフィ法により、電極パッドを形成する領域の絶縁膜2を選択的に除去し、窓を開け、アルミニウムの電極パッド3を形成する。

次に、電極パッド3の上に、蒸着法またはスパッタリング法によりチタンもしくはクロム層を形成し、更に、その上に、銅またはニッケル層を形成し二層構造の障壁金属層4を設ける。

次に、障壁金属層4の上に、電解めっき法によりはんだを供給し、はんだパンプ8を形成する。はんだには、例えば鉛95%、錫5%のものをを用いる。次に、窒素雰囲気中で加熱溶融してはんだパンプ8を整形する。

第4図は従来の半導体チップの第2の例の断面図である。

第2の例は、障壁金属層4を形成するまで第1

• 9 4 2 7 11 3 10 6

次に、降盤金鼠層4の上に電解めっき法により、銅の柱状電極層7を設ける。

次に、住友電機屋7の上に、第1の例と同様に
はんだパワ8を形成する。

この例は、第1の例に比べ、ほんだバツア8の
高さが高く出来るという利点がある。

次に、この半導体チップを回路基板に組立てる
プロセスについて説明する。

第5図 (a)、(b) は半導体チップを回路基板上に接続した状態を示す平面図及び側面図である。

まず、半導体チップIのほんだバソア8に对应した位置にはんだバソアが接けられている回路基

表9に、半導体チップ1のはんだバンプ8を四隅
基板9のはんだバンプと互いに突合せて位置決め

次に、はんたバソアを再溶解して換液体10を

• 오수정집 3권

(發明が解決した技術的課題)

新至が大きい

秘開社-187948(2)

上述べた従来のフリップ方式の組立法では、半導体チップ1と回路基板9との間に熱膨張係数差があるため、半導体チップの発熱や温度増大変化により、接続係率10に接近しせん断応力が発生し、最終的には疲労破壊するという問題がある。

$$H \setminus \Gamma \cdot \gamma \cdot x \gamma = z$$

この式からわかるように、せん断歪みは、 L が
大きければ大きく、 H が大きくなると小さくなる。
すなわち、半導体チップ1が大きくなるとせん

能力の吸収能力は大幅に劣化する。吸収能力の小さい接合体から吸断するという問題がある。本発明の目的は、はんたパンツの最上層までの高さをより高くするとともに、高さのばらつきのないパンツ構造に形成することにより、接合体の端のより長い平部体装置を提供することにある。

本発明の半導体装置は、半導体サブの一主面
に形成された電極パッドと、前記電極パッド上に
設けられた積層金属膜層と、前記層間金属膜層の上
に設けられた住状金属膜層と、前記住状金属膜層の露出
を被覆する耐熱性樹脂被覆層と、前記住状金属膜層
の上に設けられたはんたパッドとを有するで構成
される。

〔實施例〕

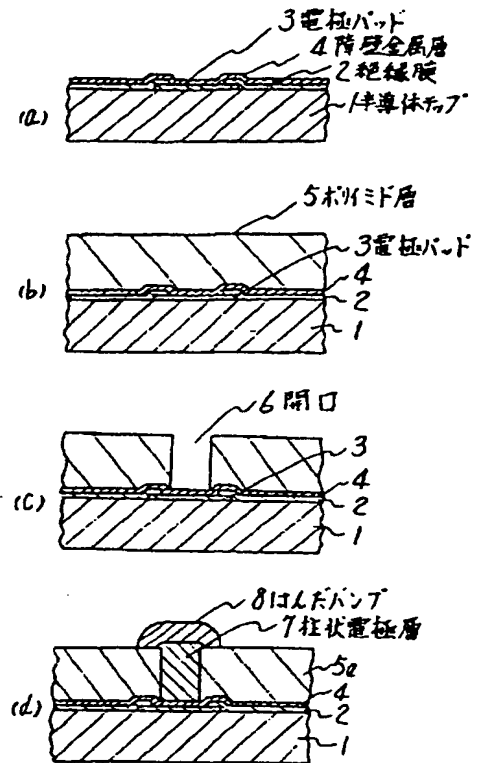
次に、本発明の実施例について図面を参照して説明する。

第1図(a)～(f)は本発明の第1の実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

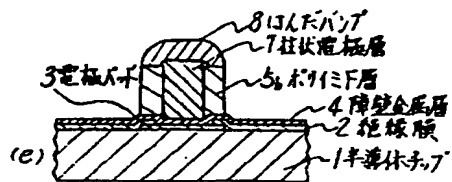
(b) は半導体チップを回路基板に接続した状態を示す平面図及び側面図である。

1…半導体チップ、2…絶縁膜、3…電極パッド、4…障壁金属層、5a…ポリイミド層、5b…ポリイミド層、6…開口、7…柱状電極層、8…はんだパンフ、9…回路基板、10…接続体。

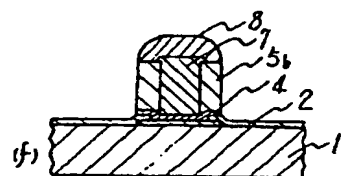
代理人 井理士 内 原 晋



第1図



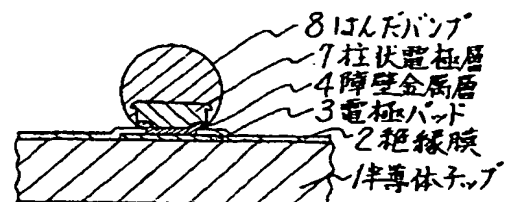
第1図



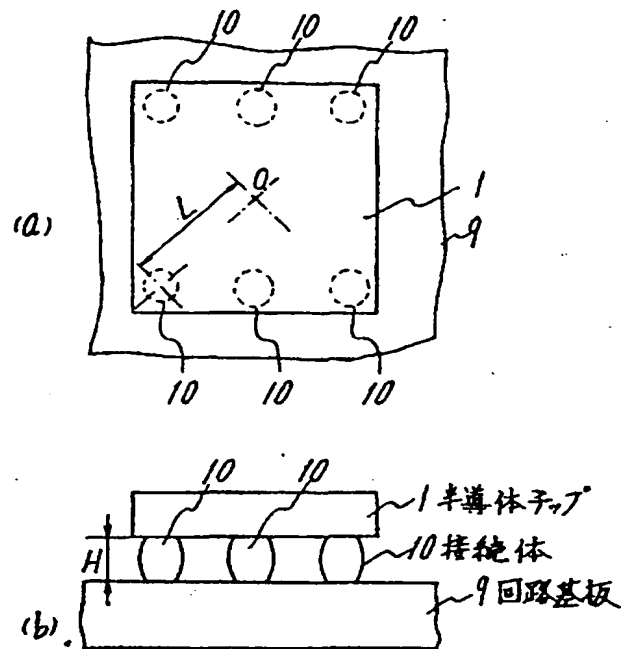
第2図



第3図



第4図



第5図